

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-307479
(P2000-307479A)

(43) 公開日 平成12年11月2日 (2000.11.2)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-ト* (参考)
H 0 4 B 1/707		H 0 4 J 13/00	D 5 K 0 2 2
H 0 3 H 17/02	6 0 1	H 0 3 H 17/02	6 0 1 Z
	6 2 1		6 2 1
	6 5 5		6 5 5 B

審査請求 未請求 請求項の数 6 O L (全 20 頁)

(21) 出願番号 特願平11-113953

(22) 出願日 平成11年4月21日 (1999.4.21)

(71) 出願人 000001122
国際電気株式会社
東京都中野区東中野三丁目14番20号

(72) 発明者 庄司 哲平
東京都中野区東中野三丁目14番20号 国際
電気株式会社内

(72) 発明者 今泉 市郎
東京都中野区東中野三丁目14番20号 国際
電気株式会社内

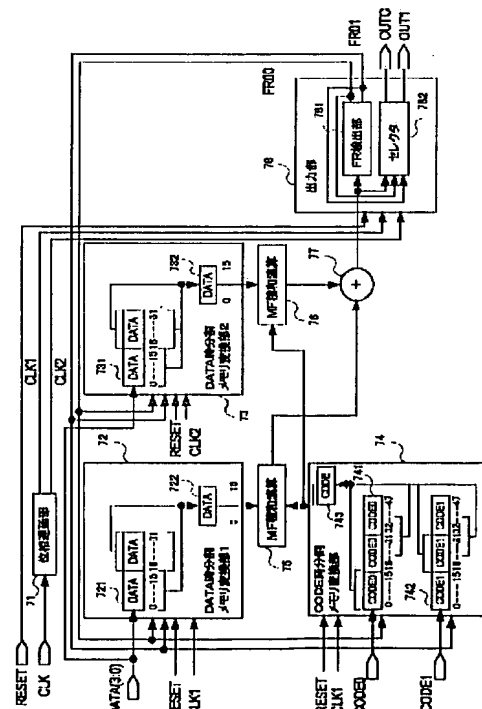
(74) 代理人 100093104
弁理士 船津 暢宏 (外1名)
Fターム(参考) 5K022 EE02 EE33

(54) 【発明の名称】 マッチドフィルタ及びCDMA受信機

(57) 【要約】

【課題】 従来のマッチドフィルタでは、オーバーサンプリングを行う場合、消費電力が大きいという問題点があったが、本発明は、消費電力を低減できるマッチドフィルタ及びCDMA受信機を提供する。

【解決手段】 1チップ時間間隔のクロックで動作して入力信号と拡散符号との相関を出力するシングルマッチドフィルタ (マッチドフィルタ部) 75、76をオーバーサンプリング数分設けると共に、各マッチドフィルタ部に入力信号を時分割の出力するDATA時分割メモリ変換部72、73と、各マッチドフィルタ部に複数のUSERに対応する拡散符号を時分割に供給するCODE時分割メモリ変換部63を設け、オーバーサンプリング数分の1位相遅延させたクロックで各マッチドフィルタ部を動作させ、出力される相関を加算部77で加算するマッチドフィルタ及びそれを用いたCDMA受信機である。



【特許請求の範囲】

【請求項 1】 1 チップ間隔のクロックを入力してオーバーサンプリング数分の 1 位相ずつ遅延させたクロックを出力する位相遅延手段と、入力信号と拡散符号との相関を出力するシングルマッチドフィルタをオーバーサンプリング数分設けると共に、前記各シングルマッチドフィルタに対応する入力信号を供給する入力信号供給手段と、前記各シングルマッチドフィルタに拡散符号を供給する拡散符号供給手段を設け、

前記位相遅延手段から出力されるクロックに応じて前記入力信号供給手段からの入力信号を前記シングルマッチドフィルタに供給し、前記各シングルマッチドフィルタで各々供給される入力信号と拡散符号との積和演算を行って相関を出力し、前記各相関を加算して、オーバーサンプリングした相関を出力することを特徴としたマッチドフィルタ。

【請求項 2】 1 チップ間隔のクロックを入力してオーバーサンプリング数 m に対して $1/m$ 位相ずつ遅延させた第 1 ～ m クロックを出力する位相遅延手段と、入力信号と拡散符号との相関を出力するシングルマッチドフィルタをオーバーサンプリング数 m 個設けると共に、前記各シングルマッチドフィルタに対応する入力信号を $1/m$ チップ時間間隔で m シンボル分取り込み保持し、前記第 1 ～ m クロックで順次動作して 1 シンボル分の入力信号を供給する第 1 ～ m 個の入力信号供給手段と、第 1 ～ n ($n \geq m$) の拡散符号を前記シングルマッチドフィルタに巡回的に供給する拡散符号供給手段を設け、前記位相遅延手段から出力されるクロックで前記各シングルマッチドフィルタを動作させて各々供給される拡散符号との積和演算を行って相関を出力し、前記各相関を加算して、オーバーサンプリングした相関を出力することを特徴としたマッチドフィルタ。

【請求項 3】 1 チップ間隔のクロックを入力し、前記クロックと同じタイミングである第 1 のクロックと、前記第 1 のクロックから $1/2$ 位相遅延した第 2 のクロックとを出力する位相遅延部と、入力信号を前記第 1 のクロックにて $1/2$ チップ時間間隔で 2 シンボル分以上取り込み保持する第 1 の入力信号保持部と、前記第 1 の入力信号保持部に 1 シンボル分の入力信号が保持されたら当該入力信号を $1/2$ チップ時間間隔で取り込み保持する第 2 の入力信号保持部とを備える第 1 の D A T A 時分割メモリ変換部と、入力信号を前記第 2 のクロックにて $1/2$ チップ時間間隔で 2 シンボル分以上取り込み保持する第 3 の入力信号保持部と、前記第 3 の入力信号保持部に 1 シンボル分の入力信号が保持されたら当該入力信号を $1/2$ チップ時間間隔で取り込み保持する第 4 の入力信号保持部とを備える第 2 の D A T A 時分割メモリ変換部と、第 1 の拡散符号を 1 チップ時間間隔で 3 シンボル分以上取り込み保持する第 1 の拡散符号保持部と、第 2 の拡散

符号を 1 チップ時間間隔で 3 シンボル分以上取り込み保持する第 2 の拡散符号保持部と、前記第 1 の拡散符号保持部に 1 シンボル分の拡散符号が保持されたら当該拡散符号を 1 シンボル時間取り込み保持し、前記第 2 の拡散符号保持部に 2 シンボル分の拡散符号が保持されたら前記第 2 の拡散符号保持部から 1 シンボル分の拡散符号を 1 シンボル時間取り込み保持する第 3 の拡散符号保持部とを備える C O D E 時分割メモリ変換部と、

前記第 1 の D A T A 時分割メモリ変換部の第 2 の入力信号保持部に保持された入力信号と前記 C O D E 時分割メモリ変換部の第 3 の拡散符号保持部に保持された拡散符号との積和演算を行う第 1 のシングルマッチドフィルタ部と、

前記第 2 の D A T A 時分割メモリ変換部の第 4 の入力信号保持部に保持された入力信号と前記 C O D E 時分割メモリ変換部の第 3 の拡散符号保持部に保持された拡散符号との積和演算を行う第 2 のシングルマッチドフィルタ部と、

前記第 1 のシングルマッチドフィルタ部の相関出力と前記第 2 のシングルマッチドフィルタ部の相関出力とを加算する加算部と、

前記拡散符号毎に 1 シンボル分の相関出力から自己相関が検出されるタイミングを検出するフラグ検出部と、前記検出されたタイミングで復調出力を選択する復調出力セレクト部とを備える出力部とを有することを特徴とするマッチドフィルタ。

【請求項 4】 1 チップ間隔のクロックを入力し、前記クロックと同じタイミングである第 1 のクロックと、前記第 1 のクロックから $1/m$ 位相ずつ遅延した第 2 ～ m のクロックとを出力する位相遅延部と、

入力信号を $1/m$ チップ時間間隔で m シンボル分以上取り込み保持する第 1 番目の入力信号保持部と、前記第 1 番目の入力信号保持部に 1 シンボル分の入力信号が保持されたら当該入力信号を $1/m$ チップ時間間隔で取り込み保持する第 2 番目の入力信号保持部とを備え、前記第 1 ～ m クロックにて動作する第 1 ～ m の D A T A 時分割メモリ変換部と、

第 1 ～ n ($n \geq m$) の拡散符号を 1 チップ時間間隔で $m + 1$ シンボル分以上取り込み保持する第 1 ～ n 番目の拡散符号保持部と、前記第 1 ～ n 番目の拡散符号保持部から 1 シンボル分の拡散符号を 1 シンボル時間順次取り込み保持する第 $n + 1$ 番目の拡散符号保持部とを備える C O D E 時分割メモリ変換部と、

前記第 1 ～ m の D A T A 時分割メモリ変換部の第 2 番目の入力信号保持部に保持された入力信号と前記 C O D E 時分割メモリ変換部の第 $n + 1$ 番目の拡散符号保持部に保持された拡散符号との積和演算を行う第 1 ～ m のシングルマッチドフィルタ部と、

前記第 1 ～ m のシングルマッチドフィルタ部の相関出力を加算する加算部と、前記拡散符号毎に 1 シンボル分の

3

相関出力から自己相関が検出されるタイミングを検出するフラグ検出部と、前記検出されたタイミングで復調出力を選択する復調出力セクタ部とを備える出力部とを有することを特徴とするマッチドフィルタ。

【請求項 5】 1チップ間隔のクロックを入力し、前記クロックと同じタイミングである第 1 のクロックと、前記第 1 のクロックから 1/2 位相遅延した第 2 のクロックとを出力する位相遅延部と、

入力信号を 1/2 チップ時間間隔で 2 シンボル分以上取り込み保持する第 1 の入力信号保持部と、前記第 1 の入力信号保持部に 1 シンボル分の入力信号が保持されたら当該入力信号を 1/2 チップ時間間隔で取り込み保持する第 2 の入力信号保持部とを備え、前記第 1 のクロックにて動作する第 1 の DATA 時分割メモリ変換部と、
10 入力信号を 1/2 チップ時間間隔で 2 シンボル分以上取り込み保持する第 3 の入力信号保持部と、前記第 3 の入力信号保持部に 1 シンボル分の入力信号が保持されたら当該入力信号を 1/2 チップ時間間隔で取り込み保持する第 2 の入力信号保持部とを備え、前記第 2 のクロックにて動作する第 2 の DATA 時分割メモリ変換部と、
20 第 1 ~ n の拡散符号を 1 チップ時間間隔で 3 シンボル分以上取り込み保持する第 1 ~ n 番目の拡散符号保持部と、前記第 1 ~ n 番目の拡散符号保持部から 1 シンボル分の拡散符号を 1 シンボル時間順次取り込み保持する第 n + 1 番目の拡散符号保持部とを備える CODE 時分割メモリ変換部と、

前記第 1 の DATA 時分割メモリ変換部の第 2 の入力信号保持部に保持された入力信号と前記 CODE 時分割メモリ変換部の第 n + 1 番目の拡散符号保持部に保持された拡散符号との積和演算を行う第 1 のシングルマッチドフィルタ部と、

前記第 2 の DATA 時分割メモリ変換部の第 4 の入力信号保持部に保持された入力信号と前記 CODE 時分割メモリ変換部の第 n + 1 番目の拡散符号保持部に保持された拡散符号との積和演算を行う第 2 のシングルマッチドフィルタ部と、

前記第 1 のシングルマッチドフィルタ部の相関出力と前記第 2 のシングルマッチドフィルタ部の相関出力とを加算する加算部と、

前記拡散符号毎に 1 シンボル分の相関出力から自己相関が検出されるタイミングを検出するフラグ検出部と、前記検出されたタイミングで復調出力を選択する復調出力セクタ部とを備える出力部とを有することを特徴とするマッチドフィルタ。

【請求項 6】 請求項 1 乃至 5 記載のマッチドフィルタを有することを特徴とする CDMA 受信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、符号分割多元接続 (CDMA: Code Division Multiple Access) 方式を

4

用いた移動体通信におけるスペクトラム拡散通信システムでの受信機の復調回路 (BB 部: ベースバンド部) に用いられるマッチドフィルタに係り、特に、消費電力を低減できるマッチドフィルタ及び CDMA 受信機に関する。

【0002】

【従来の技術】一般的に、スペクトラム拡散通信システムでは、送信側で送信データに拡散変調を施して拡散信号を送信し、受信側で受信拡散信号を逆拡散して復調信号を得るものである。ここで、拡散変調とは、送信データにそれより周波数の高い拡散符号 (PN コード) を乗算することにより周波数帯域幅を広くし、電力密度の低い信号に変換することである。

【0003】拡散変調の利点として、他の通信システムに与える干渉が小さい、他の通信システムから受ける干渉の影響が小さい、マルチパスに強い、秘話性がある等を挙げることができる。

【0004】まず、一般的なスペクトラム拡散通信システムにおける受信機の概略構成について、図 4 を用いて説明する。図 4 は、一般的なスペクトラム拡散通信システムにおける受信機の概略構成ブロック図である。受信機は、図 4 に示すように、受信信号を受信する無線部 (RF 部) 11 と、受信した信号の復調を行う復調部 (ベースバンド部又は BB 部) 12 とから基本的に構成されている。

【0005】そして、復調部 12 は、無線部 11 から入力される受信ベースバンド信号をディジタル信号に変換する A/D 変換部 (A/D) 121 と、拡散符号を生成して A/D 変換部 121 から順次入力される信号を拡散符号で逆拡散し、相関信号を出力するマッチドフィルタ (MF) 122 と、マッチドフィルタ 122 から出力される相関信号を RAKE 合成する RAKE 合成部 (RAKE) 123 と、RAKE 合成された信号の誤り訂正を行う誤り訂正部 (FEC) 124 と、誤り訂正された信号から元の信号を再生し、音声信号に変換する音声符号化/復号化部 (CODEC) 125 と、復調された音声信号を出力する制御を行う CPU 部 (CPU) 126 とから構成されている。

【0006】次に、上記マッチドフィルタ 122 について具体的に説明する。マッチドフィルタとは、トランスバーサルフィルタの一種であり、入力された信号をカスケードに接続した遅延素子で遅延して保持しつつ、順次後段の遅延素子に出力し、それと共に各遅延素子が出力する信号をタップ出力して、出力された信号と拡散符号とを乗算して加算することにより、各タイミングにおける相関演算を逐次的に行うことができるものである。

【0007】マッチドフィルタは、スペクトラム拡散通信の受信機において広く応用されており、マッチドフィルタに関する先行技術の例としては、特開平 9-107271 号の「直接拡散スペクトル拡散用ディジタルマッ

5

チドフィルタ」に記載されている。この直接拡散スペクトル拡散用デジタルマッチドフィルタは、乗算器の代わりに極性反転器と選択回路を用い、全体の回路規模を縮小するものである。

【0008】尚、マッチドフィルタにおいては、オーバーサンプリングが用いられることがある。このオーバーサンプリングとは、信号をチップレートの数倍高速にサンプリングし、1チップについて複数のサンプル結果から相関値を演算する方法である。すなわち、スペクトラム拡散信号をオーバーサンプリングする場合、1拡散チップ長当たり複数のサンプルが行われる。

【0009】次に、CDMA方式における移動体通信の受信機の復調回路で用いられるマッチドフィルタ(MF)について、複数MF使用型とメモリ時間変換方式MFを説明する。従来技術の複数MF使用型とメモリ時間変換方式MFを、ここではCDMA拡散信号の拡散率を16、そのオーバーサンプリング数を2倍、そしてユーザ数を2として、図5～図10を用いて説明する。図5は、複数MF使用型の構成ブロック図であり、図6は、複数MF使用型のシミュレーションにおける構成ブロック図であり、図7は、複数MF使用型のシミュレーション結果を示す図であり、図8は、メモリ時間変換方式MFの構成ブロック図であり、図9は、メモリ時間変換方式MFのシミュレーションにおける構成ブロック図であり、図10は、メモリ時間変換方式MFのシミュレーション結果を示す図である。尚、全ての図において、「DATA」とは図4中のA/D変換部121でデジタル変換された出力信号である。

【0010】まず、複数MF使用型について説明する。複数MF使用型は、図5に示すように、入力信号(DATA)を1/2チップ時間間隔で取り込み保持し、前回のタイミングで保持したDATAを次タップにシフトする入力信号保持部21、22、23と、拡散符号(CODE0, 1, ..., n)を1チップ時間間隔で取り込み保持し、前回のタイミングで保持し拡散符号を次タップにシフトし、1シンボル分の拡散符号を保持し終えたら、その拡散符号を1シンボル時間保持する拡散符号保持部24、25、26と、入力信号保持部21、22、23からの入力信号と拡散符号保持部24、25、26からの拡散符号との積和演算を行うマッチドフィルタ部27、28、29とから構成されている。

【0011】上記複数MF使用型では、各ユーザ(ユーザ数は2とする)毎に復調するためのタイミングを検出する(サーチ動作)と、各ユーザのタイミングでそれぞれ復調する(復調動作)とが行われる。図6に示す複数MF使用型は、クロック(CLK)を1/2に分周する分周部51と、入力信号(DATA)を保持するDATA保持部52、56と、拡散符号(CODE)を保持するCODE保持部53、57と、DATA保持部52からの入力信号出力とCODE保持部53からの拡散符

6

号出力との積和演算を行うマッチドフィルタ部54と、マッチドフィルタ部54からの出力に基づいて同期を取る出力部55と、DATA保持部56からの入力信号出力とCODE保持部57からの拡散符号出力との積和演算を行うマッチドフィルタ部58と、マッチドフィルタ部58からの出力に基づいて同期を取る出力部59とから基本的に構成されている。

【0012】更に、DATA保持部52、56内には、入力信号(DATA)を1/2チップ時間間隔で取り込み保持し、前回のタイミングで保持したDATAを次タップにシフトする32TAP(1シンボル分)の入力信号を保持する入力信号保持部521、561が設けられている。

【0013】また、CODE保持部53、57内には、下段の拡散符号保持部532、572の1シンボル分の拡散符号を1シンボル時間間隔で取り込み保持する16TAP(1シンボル分)の拡散符号保持部531、571と、拡散符号(CODE0, 1)を1チップ時間間隔で取り込み保持し、前回のタイミングで保持したCODE0, 1を次タップにシフトし、1シンボル分の拡散符号を一定のタイミングで上段の拡散符号保持部531、571にシフトする16TAP(1シンボル分)の拡散符号保持部532、572とを備えている。

【0014】また、出力部55、59内には、CODE0(USER0)、CODE1(USER1)の復調のタイミングFR00、FR01を検出するフラグ(FR)検出部551、591と、マッチドフィルタ部54、58の復調出力の同期を取る同期部552、592とを備えている。

【0015】尚、説明の都合上、図6においてユーザ数を2、入力信号は4bit、拡散符号は1bit、入力信号保持部521、561のタップ数は32タップ(1シンボル分)、拡散符号保持部532、572は16タップ(1シンボル分)、拡散符号保持部531、571は16タップ(1シンボル分)とするが、実際にはこれにとらわれることなく、自由に設定可能である。

【0016】次に、図6を用いて、以下、複数MF使用型をサーチ動作時と、復調動作時とに分けて説明する。まず、サーチ動作時について説明する。図6において、分周部51は、入力したサンプリングクロック

(CLK)を1/2に分周する。DATA保持部52、56、出力部55、59はCLKで動作する。CODE保持部53、57はCLK×2で動作する。

【0017】DATA保持部52、56は、入力信号(DATA)を1/2チップ時間間隔で取り込み保持し、前回のタイミングで保持したDATAを次タップ(タップ数: 32TAP)にシフトする。CODE保持部53、57は、下段の拡散符号保持部532、572で拡散符号(CODE0, CODE1)を1チップ時間間隔で取り込み保持し、前回のタイミングで保持した拡

7

散符号を次タップ（タップ数：16TAP）にシフトし、1シンボル分の拡散符号が下段の拡散符号保持部532、572に保持し終えたら、上段の拡散符号保持部531、571に1シンボル分の拡散符号をシフトする。

【0018】マッチドフィルタ（MF積和演算）部54、58は、入力信号出力と拡散符号出力との積和演算を行う。出力部55、59は、フラグ検出部551、591にて、1シンボル分の相関出力からピーク値（自己相関値）が検出されるタイミング（FROO、FRO1）を検出する。各ユーザのタイミングFROO、FRO1は0～31からなるもので、サーチ動作開始時にピーク（自己相関値）が立てば“0”、それ以降1/2チップ時間毎に“1”が加算される。尚、1シンボル時間後にピークが検出されれば“31”となる。

【0019】次に、復調動作時について説明する。分周部51、DATA保持部52、56、CODE保持部53、57、マッチドフィルタ（MF積和演算）部54、58は、サーチ動作時と同じ動作を行う。そして、出力部55、59は、同期部552、592にて、フラグ検出部551、591で検出されたタイミング（FROO、FRO1）時の相関出力（復調出力）の同期を取り、出力する（復調動作）。

【0020】図6における複数MF使用型では、サーチ動作は2シンボル時間（1シンボル分の拡散符号を保持するのに1シンボル時間、更に1シンボル分の相関を得るのに1シンボル時間）かかり、復調動作は1シンボル復調するのに1シンボル時間かかる。

【0021】図6のシミュレーション結果を図7に示す。図7において記述しているCLKはサンプリング周期（80ns）、RESETは初期リセット、SHDATA（3:0）は入力信号（4bit）、CODATA0は拡散符号1bit、CODATA1は拡散符号（1bit）、上段のA0（127:64）はUSER0のMF積和演算部の入力信号成分、上段のB0（15:0）はUSER0のMF積和演算部の拡散符号成分、OUT0はCODE0（USER0）の復調出力、下段のA0（127:64）はUSER1のMF積和演算部の入力信号成分、下段のB0（15:0）はUSER1のMF積和演算部の拡散符号成分、OUT1はCODE1（USER1）の復調出力である。

【0022】次に、メモリ時間変換方式MFについて説明する。メモリ時間変換方式MFとは、複数ユーザの復調を数シンボル分の入力信号保持部（メモリ）と各ユーザの拡散符号保持部（メモリ）を用いて1つのMFで実現させるものである。

【0023】メモリ時間変換方式MFを図8を用いて説明する。図8に示すメモリ時間変換方式MFは、入力信号（DATA）を1/2チップ時間間隔で取り込み保持し、前回のタイミングで保持したDATAを次タップに

8

シフトする入力信号保持部（メモリ）31と、拡散符号（CODE0、1、…、n）を1チップ時間間隔で取り込み保持し、前回のタイミングで保持したCODEを次タップにシフトし、1シンボル分の拡散符号を一定のタイミングで拡散符号保持部（コード）37にシフトする拡散符号保持部32、33、34と、入力信号保持部31の1シンボル分の入力信号を1/2チップ時間間隔で取り込み保持する入力信号保持部（データ）35と、入力信号保持部35の入力信号出力と拡散符号保持部37の拡散符号出力との積和演算を行うマッチドフィルタ

（MF積和演算）部36と、拡散符号保持部32、33、34の1シンボル分の拡散符号を一定タイミングで交互に取り込み保持する拡散符号保持部（コード）37とから構成されている。

【0024】複数MF使用型は、マッチドフィルタ部のハード規模（ゲート数）がユーザ数に付随して増加していくのに対して、メモリ時間変換方式MFでは、動作速度（サンプリング周波数）を上げることで、マッチドフィルタ部のハード規模を変えず（MFは1つのみで）、複数MF使用型と同じ速度で同じ動作を実現できるものである。

【0025】次に、メモリ時間変換方式MFのシミュレーションにおける構成を図9を用いて説明する。尚、マッチドフィルタの仕様は、2倍オーバーサンプリング、DATAは4bit、CODEは1bit、TAPは16としている。図9に示すように、メモリ時間鉛管方式MFは、CLKを1/2に分周する分周部61と、DATA時分割メモリ変換部62と、CODE時分割メモリ変換部63と、DATA時分割メモリ変換部62の入力信号出力とCODE時分割メモリ変換部63の拡散符号出力との積和演算を行うマッチドフィルタ部64と、復調出力を特定タイミングで出力する出力部65とから基本的に構成されている。

【0026】そして、DATA時分割メモリ変換部62は、入力信号（DATA）を1/2チップ時間間隔で取り込み保持し、前回のタイミングで保持したDATAを次タップにシフトする64TAP（2シンボル分）の入力信号保持部（DATA）621と、入力信号保持部621の1シンボル分の入力信号を1/2チップ時間間隔で取り込み保持する入力信号保持部（DATA）622とを備えている。

【0027】CODE時分割メモリ変換部62は、拡散符号（CODE0）を1チップ時間間隔で取り込み保持し、前回のタイミングで保持したCODE0を次タップにシフトし、1シンボル分の拡散符号を一定のタイミングで拡散符号保持部633にシフトする48TAP（3シンボル分）の拡散符号保持部（CODE0）631と、拡散符号（CODE1）を1チップ時間間隔で取り込み保持し、前回のタイミングで保持したCODE1を次タップにシフトし、1シンボル分の拡散符号を一定の

10

20

30

40

50

タイミングで拡散符号保持部 633 にシフトする 48 TAP (3 シンボル分) の拡散符号保持部 (CODE 1) 632 と、拡散符号保持部 631、632 のそれぞれの拡散符号 (CODE 0, CODE 1) を一定間隔で取り込み保持する拡散符号保持部 (CODE) 633 とを備えている。

【0028】出力部 65 は、CODE 0, CODE 1 (USER 0, USER 1) のそれぞれの復調のタイミング FROO, FRO1 を検出するフラグ (FR) 検出部 651 と、USER 0, USER 1 のそれぞれのタイ
10 ミング FROO, FRO1 でマッチドフィルタ部 64 の復調出力をセレクトする復調出力セクタ部 (セクタ) 652 とを備えている。

【0029】ここでは、図 9 を用いて、メモリ時間変換方式 MF をサーチ動作時、復調動作時に分けて説明する。説明の都合上、図 9 においてユーザ数を 2、入力信号は 4 bit、拡散符号は 1 bit、入力信号保持部 621 のタップ数は 64 タップ (2 シンボル分)、入力信号保持部 622 のタップ数は 32 タップ (1 シンボル分)、拡散符号保持部 631、632 は 48 チップ (3
20 シンボル分)、拡散符号保持部 633 は 16 チップ (1 シンボル分) とするが、実際にはこれにとわれることなく、自由に設定可能である。

【0030】サーチ動作時について説明する。分周部 61 は、入力したサンプリングクロック (CLK) を 1/2 に分周する。DATA 時分割メモリ変換部 62、出力部 65 は CLK で動作し、CODE 時分割メモリ変換部 63 は CLK × 2 で動作する。

【0031】DATA 時分割メモリ変換部 62 では、前段の入力信号保持部 621 が、入力信号 (DATA) を 1/2 チップ時間間隔で取り込み保持し、前回のタイミングで保持した DATA を次タップ (タップ数: 64 TAP [2 シンボル分]) にシフトする。入力信号保持部 621 の前半に 1 シンボル分の入力信号を保持し終えたら (前段の 0 ~ 31 TAP に入力信号を保持し終えている状態になったら)、1 シンボル分の入力信号 (0 ~ 31 TAP) を次段の入力信号保持部 622 に 1/2 チップ時間間隔で取り込み保持する。これを 1 シンボル時間の間、繰り返す。

【0032】ここまで、前段の入力信号保持部 621 に 1 シンボル分の入力信号を保持するのに 1 シンボル時間、前段の入力信号保持部 621 の 0 ~ 31 TAP の 1 シンボル分の入力信号を次段の入力信号保持部 622 に取り込むのに 1 シンボル時間、合計 2 シンボル時間かかる。この間に前段の入力信号保持部 621 のシフトレジスタには 2 シンボル分の入力信号が保持される。前段の入力信号保持部 621 で 2 シンボル分の入力信号を保持し終えたら (前段の 0 ~ 63 TAP に入力信号を保持し終えている状態になったら)、1 シンボル分の入力信号 (32 ~ 63 TAP) を次段の入力信号保持部 622 に
40

1/2 チップ時間間隔で取り込み保持する。これを 1 シンボル時間の間、繰り返す。

【0033】CODE 時分割メモリ変換部 63 では、下段の拡散符号保持部 631、632 で拡散符号 (CODE 0, CODE 1) を 1 チップ時間間隔で取り込み保持し、前回のタイミングで保持した拡散符号を次タップ (タップ数: 48 TAP [3 シンボル分]) にシフトする。下段の拡散符号保持部 631、632 に 1 シンボル分の拡散符号を保持し終えたら (下段の拡散符号保持部 631、632 の 0 ~ 15 TAP に拡散符号を保持し終えている状態になったら)、下段の拡散符号保持部 631 の 1 シンボル分の拡散符号 (0 ~ 15 TAP) を 1 シンボル時間、上段の拡散符号保持部 633 に取り込み保持する。

【0034】次に、下段の拡散符号保持部 631、632 に 2 シンボル分の拡散符号を保持し終えたら (下段の拡散符号保持部 631、632 の 0 ~ 31 TAP に拡散符号を保持し終えている状態になったら)、下段の拡散符号保持部 632 の 1 シンボル分の拡散符号 (16 ~ 31 TAP) を 1 シンボル時間、上段の拡散符号保持部 633 に取り込み保持する。

【0035】ここでは、下段の拡散符号保持部 631、632 に 1 シンボル分の拡散符号を保持するのに 1 シンボル時間、下段の拡散符号保持部 631 の 0 ~ 15 TAP の 1 シンボル分の拡散符号を上段の拡散符号保持部 633 に保持し続けるのに 1 シンボル時間、下段の拡散符号保持部 632 の 16 ~ 31 TAP の 1 シンボル分の拡散符号を上段の拡散符号保持部 633 に保持し続けるのに 1 シンボル時間、合計 3 シンボル時間かかる。

【0036】そして、マッチドフィルタ部 (MF 積和演算部) 64 は、入力信号出力と拡散符号出力との積和演算を行う。出力部 65 は、フラグ検出部 651 にて、各ユーザの 1 シンボル分の相関出力からピーク値 (自己相関値) が検出されるタイミング (FROO, FRO1) を検出する。各ユーザのタイミング FROO, FRO1 は 0 ~ 31 からなるもので、サーチ動作開始時にピーク (自己相関値) が立てば “0”、それ以降 1/2 チップ時間毎に “1” が加算される。尚、1 シンボル時間後にピークが検出されれば “31” となる。

【0037】次に、復調動作時について説明する。分周部 61 は、サーチ動作時と同じ動作である。DATA 時分割メモリ変換部 62 では、前段の入力信号保持部 621 が、入力信号 (DATA) を 1/2 チップ時間間隔で取り込み保持し、前回のタイミングで保持した DATA を次タップ (タップ数: 64 TAP [2 シンボル分]) にシフトする。前段の入力信号保持部 621 のシフトレジスタの 32 ~ 63 TAP の 1 シンボル分の入力信号を、各ユーザのタイミング FROO, FRO1 で次段の入力信号保持部 622 に取り込み保持する (各ユーザのタイミング FROO, FRO1 は、それぞれ 1 シン
50

ボル時間間隔である)。

【0038】CODE時分割メモリ変換部63では、下段の拡散符号保持部631、632で拡散符号(CODE0, CODE1)を1チップ時間間隔で取り込み保持し、前回のタイミングで保持した拡散符号を次タップ(タップ数:48TAP[3シンボル分])にシフトする。下段の拡散符号保持部631、632のそれぞれのシフトレジスタの16~47TAPの2シンボル分の拡散符号の中から各ユーザのタイミングFR00, FR01に合わせた1シンボル分の拡散符号(下段の拡散符号保持部631: $16 + FR00 / 2 \sim 31 + FR00 / 2$ 、下段の拡散符号保持部632: $16 + FR01 / 2 \sim 31 + FR01 / 2$ [小数点以下切り捨て])を交互に上段の拡散符号保持部633のレジスタに取り込み保持する。

【0039】マッチドフィルタ部(MF積和演算部)64は、サーチ動作時と同じ動作である。出力部65では、復調出力セクタ部652が、各ユーザの復調出力を各ユーザのタイミングFR00, FR01に合わせて出力する。

【0040】このシミュレーションにおけるメモリ時間変換型MFでは、サーチ動作は3シンボル時間(1シンボル分の拡散符号を保持するのに1シンボル時間、USER0の1シンボル分の相関を得るのに1シンボル時間、USER1の1シンボル分の相関を得るのに1シンボル時間)かかり、復調動作は各ユーザの1シンボルを復調するのに合計1シンボル時間かかる。

【0041】図9のシミュレーション結果を図10に示す。尚、図10に記述している用語は、図7で説明したものと同様である。図10に示したメモリ時間変換方式MFにおいて、動作速度は図7の複数MF使用型の動作速度の2倍(ユーザ数が2なので)としてシミュレーションを行った。図10のOUT0, OUT1がそれぞれUSER0, USER1の復調出力、図10のOUT0, OUT1がそれぞれUSER0, USER1の復調出力を表わしている。

【0042】図7、図10それぞれUSER0の復調が始まる時間は、図7が、5360ns、図10が、3960nsとなっており、図10の方が図7より速く動作しているが、これはサーチ動作時に拡散符号を1シンボル分保持するための時間(図7及び図10共に1シンボル分の拡散符号を保持するのに1シンボル時間かかるため)が、図10の方が図7の半分の時間(図10の動作速度が図7の2倍であるため)で処理が終わるためである。

【0043】

【発明が解決しようとする課題】ここで、マッチドフィルタ(MF)は、2倍オーバーサンプリングMFを用いている。2倍オーバーサンプリングMFは、1倍オーバーサンプリングMFと比べてサンプリングする周波数が

2倍であるため、消費電力が大きいという問題点がある。これは、C-MOSの消費電力は、周波数及びゲート数に比例して増加するためである。

【0044】本発明は上記実情に鑑みて為されたもので、消費電力を低減できる位相遅延MF適用型メモリ時間変換方式のマッチドフィルタ及びCDMA受信機を提供することを目的とする。

【0045】

【課題を解決するための手段】上記従来例の問題点を解決するための本発明は、マッチドフィルタにおいて、1チップ間隔のクロックを入力してオーバーサンプリング数分の1位相ずつ遅延させたクロックを出力する位相遅延手段と、入力信号と拡散符号との相関を出力するシングルマッチドフィルタをオーバーサンプリング数分設けると共に、対応する入力信号を供給する入力信号供給手段と、拡散符号を供給する拡散符号供給手段を設け、位相遅延手段から出力されるクロックに応じて入力信号供給手段からの入力信号をシングルマッチドフィルタに供給し、各シングルマッチドフィルタで各々供給される入力信号と拡散符号との積和演算を行って出力される相関を加算して、オーバーサンプリングした相関を出力するものであり、動作クロックを高速にすることなく、消費電力を低減できる。

【0046】また、本発明のマッチドフィルタをCDMA受信機に用いることも可能である。

【0047】

【発明の実施の形態】本発明の実施の形態について図面を参照しながら説明する。尚、以下で説明する機能実現手段は、当該機能を実現できる手段であれば、どのような回路又は装置であつても構わず、また機能の一部又は全部をソフトウェアで実現することも可能である。更に、機能実現手段を複数の回路によって実現してもよく、複数の機能実現手段を単一の回路で実現してもよい。

【0048】本発明に係る位相遅延マッチドフィルタ適用型メモリ時間変換方式マッチドフィルタ(位相遅延MF適用型メモリ時間変換方式MF)は、オーバーサンプリング倍数に応じてシングルMF(非オーバーサンプリング用MF)を複数設けると共に、各シングルMFに複数(オーバーサンプリング数より多い数でも構わない)の拡散符号を時分割に供給する符号供給手段を設け、各シングルMFにオーバーサンプリング倍数の数分、位相を遅延させた入力信号を取り込み、当該遅延させたタイミングで各シングルMFを動作させて供給される拡散符号との積和演算を行って相関出力を出力し、これら複数相関出力を加算してオーバーサンプリング処理のMFと同様の結果を、低消費電力で得るものである。

【0049】上記のように、本発明に係るメモリ時間変換方式MFは、メモリ時間変換方式MFのMF部に位相遅延マッチドフィルタ(位相遅延MF)を適用したメモ

リ時間変換方式MFである。従って、本発明のメモリ時間変換方式MFを位相遅延MF適用型とよぶことができる。

【0050】また、位相遅延MFとは、オーバーサンプリングする倍数分だけシングルMFを備え、複数のシングルMFを位相遅延させたサンプリングクロックで動作させて、それらの相関出力を加算することにより、オーバーサンプリングMFと同じ結果を低消費電力で得られるMFのことである。

【0051】本発明に係る位相遅延MF適用型を、ここではCDMA拡散信号の拡散率を16とし、そのオーバーサンプリング数を2倍、そしてユーザ数を2として、図1、図2、図3を用いて説明する。尚、オーバーサンプリング数とユーザ数とは直接的に関係するものではない。図1は、本発明の実施の形態に係る位相遅延MF適用型の構成ブロック図であり、図2は、本発明の実施の形態に係る位相遅延MF適用型のシミュレーションにおける構成ブロック図であり、図3は、本発明の実施の形態に係る位相遅延MF適用型メモリ時間変換方式MFのシミュレーション結果を示す図である。

【0052】本発明の実施の形態に係る位相遅延MF適用型について図1を用いて説明する。尚、図1で 사용되는MF自体の仕様は1倍オーバーサンプリングである。本発明の実施の形態に係る位相遅延MF適用型は、図1に示すように、入力信号(DATA)を1チップ時間間隔で取り込み保持し、前回のタイミングで保持したDATAを次タップにシフトする入力信号保持部(メモリ)41、42と、拡散符号(CODE0, 1, ..., n)を1チップ時間間隔で取り込み保持し、前回のタイミングで保持したCODE0, 1, ..., nを次タップにシフトし、1シンボル分の拡散符号を一定のタイミングでシフト出力する拡散符号保持部(メモリ)43、44、45と、入力信号保持部41、42の1シンボル分の入力信号を1チップ時間間隔で取り込み保持する入力信号保持部(データ)46、49と、拡散符号保持部43、44、45の1シンボル分の拡散符号を一定のタイミングで交互に(順に)取り込み保持する拡散符号保持部(コード)48と、入力信号保持部46、49の入力信号出力と拡散符号保持部48の拡散符号出力との積和演算を行うマッチドフィルタ(MF積和演算)部47、410と、マッチドフィルタ部47の出力とマッチドフィルタ部410の出力を加算する加算部411とから構成されている。

【0053】ここで、本発明の実施の形態に係る位相遅延MF適用型は、入力信号保持部42に対して入力信号保持部41が入力信号の位相を1/2位相を遅延させて入力し、また、マッチドフィルタ部47に対してマッチドフィルタ部410が上記遅延させたタイミングで拡散符号との積和演算を行い、マッチドフィルタ部47とマッチドフィルタ部410の相関出力を加算部411で加算

して出力するものである。また、マッチドフィルタ部47、410には対応する拡散符号が拡散符号保持部48から供給されるようになっている。

【0054】つまり、入力信号保持部42、46、マッチドフィルタ部47が特定の動作タイミング(CLK1のタイミング)で動作し、入力信号保持部41、49、マッチドフィルタ部410が入力信号の位相を1/2位相を遅延させたタイミング(CLK1に対して1/2位相を遅延させたCLK2のタイミング)で動作させると共に、拡散符号保持部48から対応する拡散符号をマッチドフィルタ部47、410に各々供給し、マッチドフィルタ部47、410の各相関出力を加算部411で加算することで、動作タイミングを高速にすることなく、簡易な構成にて、2倍オーバーサンプリングを行ったのと同じ相関出力が得られるものである。

【0055】尚、具体的には図1に示したように、マッチドフィルタ部は2個用意しておき、CODE0~nを拡散符号保持部48から2つのマッチドフィルタ部に対して交互にCODEを供給して、オーバーサンプリングに相当する相関出力(OUT0~n)を得るようにするものである。

【0056】次に、本発明の実施の形態に係る位相遅延MF適用型のメモリ時間変換方式MFのシミュレーションにおける構成を図2を用いて説明する。尚、MF自体の仕様は、1倍オーバーサンプリングで、DATAは4bit、CODEは1bit、TAPは16TAPとしている。図2に示すように、本発明の実施の形態に係る位相遅延型MF適用型のシミュレーション構成は、クロック位相遅延部71と、DATA時分割メモリ変換部72、73と、CODE時分割メモリ変換部74、75と、マッチドフィルタ部76と、加算部77と、出力部78とから基本的に構成されている。

【0057】次に、図2における各部を具体的に説明する。クロック位相遅延部71は、CLK1とCLK1の1/2位相遅延したCLK2を生成する。DATA時分割メモリ変換部72は、CLK1で動作し、入力信号(DATA)を1チップ時間間隔で取り込み保持し、前回のタイミングで保持したDATAを次タップにシフトする32TAP(2シンボル分)の入力信号保持部(DATA)721と、入力信号保持部721の1シンボル分の入力信号を1チップ時間間隔で取り込み保持する入力信号保持部722とを備えている。

【0058】DATA時分割メモリ変換部73は、CLK2で動作し、入力信号(DATA)を1チップ時間間隔で取り込み保持し、前回のタイミングで保持したDATAを次タップにシフトする32TAP(2シンボル分)の入力信号保持部(DATA)731と、入力信号保持部731の1シンボル分の入力信号を1チップ時間間隔で取り込み保持する入力信号保持部732とを備えている。

10

20

30

40

50

【0059】CODE時分割メモリ変換部74は、CLK1で動作し、拡散符号(CODE0)を1チップ時間間隔で取り込み保持し、前回のタイミングで保持したCODE0を次タップにシフトし、1シンボル分の拡散符号を一定のタイミングでシフト出力する48TAP(3シンボル分)の拡散符号保持部(CODE0)741と、拡散符号(CODE1)を1チップ時間間隔で取り込み保持し、前回のタイミングで保持したCODE1を次タップにシフトし、1シンボル分の拡散符号を一定のタイミングでシフト出力する48TAP(3シンボル分)の拡散符号保持部(CODE1)742と、拡散符号保持部741、742からシフト出力される、それぞれの拡散符号(CODE0、CODE1)を一定の間隔で取り込み保持する拡散符号保持部743とを備えている。

【0060】マッチドフィルタ(MF積和演算)部75は、入力信号保持部722の入力信号出力と拡散符号保持部743の拡散符号出力との積和演算を行う。マッチドフィルタ(MF積和演算)部76は、入力信号保持部732の入力信号出力と拡散符号保持部743の拡散符号出力との積和演算を行う。加算部77は、マッチドフィルタ部75の出力とマッチドフィルタ部76の出力を加算する。

【0061】出力部78は、CLK1とCLK2で動作し、CODE0、CODE1(USER0、USER1)のそれぞれの復調のタイミングFR00、FR01を検出するフラグ(FR)検出部781と、USER0、USER1のそれぞれのタイミングFR00、FR01で加算部77の復調出力をセレクトする復調出力セクタ部(セクタ)782とを備えている。

【0062】ここでは、図2を用いて、以下、本発明の実施の形態に係る位相遅延MF適用型を、サーチ動作時、復調動作時に分けて説明する。説明の都合上、図2において、ユーザ数を2、入力信号は4bit、拡散符号は1bit、入力信号保持部721、731のタップ数は32タップ(2シンボル分)、入力信号保持部722、732のタップ数は16タップ(1シンボル分)、拡散符号保持部741、742は48チップ(3シンボル分)、拡散符号保持部743は16チップ(1シンボル分)とするが、実際にはこれにとわれないことなく、自由に設定可能である。

【0063】サーチ動作時について説明する。クロック位相遅延部71は、入力したサンプリングクロック(CLK)と同相のCLK1とCLK1の1/2位相遅延したCLK2を生成する。DATA時分割メモリ変換部72、CODE時分割メモリ変換部74はCLK1で動作し、DATA時分割メモリ変換部73はCLK2で動作し、出力部78はCLK1、CLK2で動作する。

【0064】DATA時分割メモリ変換部72では、前段の入力信号保持部721が、入力信号(DATA)を

1チップ時間間隔で取り込み保持し、前回のタイミングで保持したDATAを次タップ(タップ数:32TAP[2シンボル分])にシフトする。前段の入力信号保持部721に1シンボル分の入力信号を保持し終えたら

(前段の0~15TAPに入力信号を保持し終えている状態になったら)、1シンボル分の入力信号(0~15TAP)を次段の入力信号保持部722に1チップ時間間隔で取り込み保持する。これを1シンボル時間繰り返す。

10 【0065】ここまで、前段の入力信号保持部721に1シンボル分の入力信号を保持するのに1シンボル時間、前段の入力信号保持部721の0~15TAPの1シンボル分の入力信号を次段の入力信号保持部722に取り込むのに1シンボル時間、合計2シンボル時間かかる。この間に前段の入力信号保持部721のシフトレジスタには2シンボル分の入力信号が保持される。前段の入力信号保持部721で2シンボル分の入力信号を保持し終えたら(前段の0~31TAPに入力信号を保持し終えている状態になったら)、1シンボル分の入力信号(15~31TAP)を次段の入力信号保持部722に1チップ時間間隔で取り込み保持する。これを1シンボル時間繰り返す。尚、DATA時分割メモリ変換部72はCLK1で動作する。

【0066】DATA時分割メモリ変換部73では、DATA時分割メモリ変換部1と同じ動作を行う。但し、DATA時分割メモリ変換部73はCLK2で動作する。つまり、DATA時分割メモリ変換部73に比べて1/2位相が遅延した入力信号(DATA)について取り込み保持を行っている。

30 【0067】CODE時分割メモリ変換部74では、下段の拡散符号保持部741、742が拡散符号(CODE0、CODE1)を1チップ時間間隔で取り込み保持し、前回のタイミングで保持した拡散符号を次タップ(タップ数:48TAP(3シンボル分))にシフトする。下段の拡散符号保持部741、下段の拡散符号保持部742に1シンボル分の拡散符号を保持し終えたら(下段の拡散符号保持部741、下段の拡散符号保持部742の0~15TAPに拡散符号を保持し終えてる状態になったら)、下段の拡散符号保持部741の1シンボル分の拡散符号(0~15TAP)を1シンボル時間、上段の拡散符号保持部743に取り込み保持する。

40 【0068】次に、下段の拡散符号保持部741、下段の拡散符号保持部742に2シンボル分の拡散符号を保持し終えたら(下段の拡散符号保持部741と下段の拡散符号保持部742の0~31TAPに拡散符号を保持し終えてる状態になったら)、下段の拡散符号保持部742の1シンボル分の拡散符号(16~31TAP)を1シンボル時間、上段の拡散符号保持部743に取り込み保持する。

50 【0069】ここでは、下段の拡散符号保持部741、

下段の拡散符号保持部 742 に 1 シンボル分の拡散符号を保持するのに 1 シンボル時間、下段の拡散符号保持部 741 の 0 ~ 15 TAP の 1 シンボル分の拡散符号を上段の拡散符号保持部 743 に保持し続けるのに 1 シンボル時間、下段の拡散符号保持部 742 の 16 ~ 31 TAP の 1 シンボル分の拡散符号を上段の拡散符号保持部 743 に保持し続けるのに 1 シンボル時間、合計 3 シンボル時間かかる。尚、CODE 時分割メモリ変換部 74 の各部は CLK1 で動作する。

【0070】マッチドフィルタ (MF 積和演算) 部 75 は、CLK1 で動作する入力信号保持部 722 の入力信号出力と CLK1 で動作する拡散符号保持部 743 の拡散符号出力との積和演算を行い、マッチドフィルタ部 76 は、CLK2 で動作する入力信号保持部 732 の入力信号出力と CLK1 で動作する拡散符号保持部 743 の拡散符号出力との積和演算を行い、それぞれの演算結果を加算部 77 に出力する。但し、各マッチドフィルタ部 75, 76 から加算部 77 に出力されるタイミングは、CLK1 と CLK2 と異なっている。

【0071】加算部 77 は、マッチドフィルタ (MF 積和演算) 部 75, 76 のそれぞれの演算結果の出力を加算して出力部 78 に出力する。つまり、加算部 77 は、入力信号と拡散符号の積和演算結果 (相関出力) と、その入力信号に対して 1/2 位相遅延した入力信号と拡散符号の積和演算結果 (1/2 位相遅延相関出力) とを加算したものとなる。

【0072】出力部 78 は、CLK1 及び CLK2 の双方で動作し、フラグ (FR) 検出部 781 にて、各ユーザの 1 シンボル分の相関出力からピーク値 (自己相関値) が検出されるタイミング (FR00, FR01) を検出する。各ユーザのタイミング FR00, FR01 は 0 ~ 15 からなるもので、サーチ動作開始時にピーク (自己相関値) が立てば “0”、それ以降 1 チップ時間毎に “1” が加算される。尚、1 シンボル時間後にピークが検出されれば “15” となる。

【0073】次に、復調動作時について説明する。クロック位相遅延部 71 は、サーチ動作時と同じ動作である。DATA 時分割メモリ変換部 72 では、CLK1 で動作し、前段の入力信号保持部 721 が、入力信号 (DATA) を 1 チップ時間間隔で取り込み保持し、前回のタイミングで保持した DATA を次タップ (タップ数: 32 TAP [2 シンボル分]) にシフトする。前段の入力信号保持部 721 のシフトレジスタの 15 ~ 31 TAP の 1 シンボル分の入力信号を、各ユーザのタイミング FR00, FR01 で次段の入力信号保持部 722 に取り込み保持する。各ユーザのタイミング FR00, FR01 は、それぞれ 1 シンボル時間間隔である。

【0074】DATA 時分割メモリ変換部 73 は、CLK2 で動作するものの、それ以外は DATA 時分割メモリ変換部 72 と同じ動作である。CODE 時分割メモリ

変換部 74 では、下段の拡散符号保持部 741, 742 で拡散符号 (CODE0, CODE1) を 1 チップ時間間隔で取り込み保持し、前回のタイミングで保持した拡散符号を次タップ (タップ数: 48 TAP [3 シンボル分]) にシフトする。下段の拡散符号保持部 741, 742 のそれぞれのシフトレジスタの 16 ~ 47 TAP の 2 シンボル分の拡散符号の中から各ユーザのタイミング FR00, FR01 に合わせた 1 シンボル分の拡散符号 (下段の拡散符号保持部 741: 16 + FR00 ~ 31 + FR00、下段の拡散符号保持部 742: 16 + FR01 ~ 31 + FR01) を交互に上段の拡散符号保持部 743 のレジスタに取り込み保持する。

【0075】マッチドフィルタ (MF 積和演算) 部 75, 76 及び加算部 77 は、サーチ動作時と同じ動作である。出力部 78 では、復調出力セクタ部 782 が、各ユーザの復調出力を各ユーザのタイミング FR00, FR01 に合わせて出力する。

【0076】これにより、サンプリングクロック周波数が 2 倍オーバーサンプリング MF を用いたメモリ時間変換方式 MF の MF 部の 1/2 倍の周波数であるのにも拘わらず、チップタイミング周期を 2 倍オーバーサンプリング MF を用いたメモリ時間変換方式 MF と同じに取ることができる。

【0077】このシミュレーションにおける位相遅延 MF 適用型では、サーチ動作は 3 シンボル時間 (1 シンボル分の拡散符号を保持するのに 1 シンボル時間、USER0 の 1 シンボル分の相関を得るのに 1 シンボル時間、USER1 の 1 シンボル分の相関を得るのに 1 シンボル時間) かかり、復調動作は各ユーザの 1 シンボルを復調するのに合計 1 シンボル時間かかる。

【0078】図 2 のシミュレーション結果を図 3 に示す。尚、図 3 に記述した CLK はサンプリング周期 (40 ns)、CLK0 はサンプリング周期 (80 ns)、CLK1 は CLK0 の 1/2 位相遅延サンプリング周期 (80 ns)、RESET は初期リセット、SHDATA (3:0) は入力信号 (4 bit)、CODATA0 は拡散符号 (1 bit)、CODATA1 は拡散符号 (1 bit)、上段の A0 (63:0) は MF 積和演算部の入力信号成分 (CLK0)、上段の B0 は MF 積和演算部の拡散符号成分 (CLK0)、上段の FA9A は上段 A0 と上段 B0 の積和演算結果、下段の A0 は MF 積和演算部の入力信号成分 (CLK1)、下段の B0 は MF 積和演算部の拡散符号成分 (CLK1)、下段の FA9A は下段 A0 と下段 B0 の積和演算結果、OUT0 は CODE0 (USER0) の復調出力、OUT1 は CODE1 (USER1) の復調出力である。

【0079】このシミュレーション結果において、OUT0, OUT1 が本発明の USER0, USER1 の復調出力である。2 倍オーバーサンプリング MF を用いたメモリ時間変換方式 MF の USER0, USER1 の復

10

20

30

40

50

調出力は図10のOUT0, OUT1である。これらを比較することにより、2倍オーバーサンプリングMFを用いたメモリ時間変換方式MFと位相遅延MF適用型のメモリ時間変換方式MFは同じ復調出力を得ていることが確認できる。

【0080】本発明の実施の形態の位相遅延MF適用型のメモリ時間変換方式MFによれば、マッチドフィルタ(MF)部におけるサンプリングクロック周波数は、従来の2倍オーバーサンプリングMFを用いたメモリ時間変換方式の1/2倍となるため、消費電力を低減できる効果がある。

【0081】つまり、C-MOSにおいて消費電力はサンプリングの周波数とゲート数に比例して増加する。2倍オーバーサンプリングにおいて、本発明の実施の形態に係る位相遅延MF型は、倍数個分(2個)のシングル

	サンプリング 周波数	ハード規模 (ゲート数)	消費電力 (Pd)
複数MF使用型	2f	4X	8fX
メモリ時間変換方式MF	4f	2X	8fX
本発明(位相遅延MF適用型)	2f	2X	4fX

【0083】[表1]において、1段目の複数MF使用型と2段目のメモリ時間変換方式MFは、従来の技術で説明したものであり、3段目が本発明のものとなっている。そして、項目の「サンプリング周波数」は1倍オーバーサンプリングMFのサンプリング周波数を「f」とし、「ハード規模(ゲート数)」は1倍オーバーサンプリングMFのゲート数を「X」とし、「消費電力(Pd)」はサンプリング周波数とゲート数の積：(周波数) × (ゲート数)としている。

【0084】[表1]から、従来の複数MF使用型、従来のメモリ時間変換方式MFに比べて、消費電力が半分となっており、消費電力の低減の効果は大きい。

【0085】また、m倍オーバーサンプリングMFを用いたメモリ時間変換MFに本発明で用いた位相遅延MF型を適用すれば、サンプリングクロック周波数が従来のm倍オーバーサンプリングMFの1/m倍、ゲート数が同数個であるので、消費電力はMF部において、m倍オーバーサンプリングMFを用いたメモリ時間変換MFの1/m倍と大幅に低減できるものである。通常、適用されるオーバーサンプリングは4倍であるので、本発明の効果は大きいものである。

【0086】

【発明の効果】本発明によれば、1チップ間隔のクロックを入力してオーバーサンプリング数分の1位相ずつ遅延させたクロックを出力する位相遅延手段と、入力信号と拡散符号との相関を出力するシングルマッチドフィルタをオーバーサンプリング数分設けると共に、対応する入力信号を供給する入力信号供給手段と、拡散符号を供

MFで構成されることになる。ここで、シングルMFのゲート数をX個とすると、2倍オーバーサンプリングMFのゲート数は2X個(シングルMFの2倍)となる。また、本発明の実施の形態に係る位相遅延MF型のゲート数は、2個のシングルMFで構成されているので、2X個(シングルMFの2倍)となる。サンプリングクロック周波数が従来の2倍オーバーサンプリングMFの1/2倍、ゲート数が従来の2倍オーバーサンプリングMFと同数個であるので、消費電力はMF部において、従来の2倍オーバーサンプリングMFを用いたメモリ時間変換方式MFの1/2倍となる。この本発明と従来技術との比較を[表1]を用いて説明する。

【0082】

【表1】

給する拡散符号供給手段を設け、位相遅延手段から出力されるクロックに応じて入力信号供給手段からの入力信号をシングルマッチドフィルタに供給し、各シングルマッチドフィルタで各々供給される入力信号と拡散符号との積和演算を行って出力される相関を加算して、オーバーサンプリングした相関を出力するマッチドフィルタとしているので、動作クロックを高速にすることなく、消費電力を低減できる効果がある。

【0087】また、本発明のマッチドフィルタをCDMA受信機に適用すれば、同様に、消費電力を低減できる効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る位相遅延MF適用型メモリ時間変換方式MFの構成ブロック図である。

【図2】本発明の実施の形態に係る位相遅延MF適用型メモリ時間変換方式MFのシミュレーションにおける構成ブロック図である。

【図3】本発明の実施の形態に係る位相遅延MF適用型メモリ時間変換方式MFのシミュレーション結果を示す図である。

【図4】一般的なスペクトラム拡散通信システムにおける受信機の概略構成ブロック図である。

【図5】従来の複数MF使用型の構成ブロック図である。

【図6】従来の複数MF使用型のシミュレーションにおける構成ブロック図である。

【図7】従来の複数MF使用型のシミュレーション結果を示す図である。

【図 8】従来のメモリ時間変換方式MFの構成ブロック図である。

【図 9】従来のメモリ時間変換方式MFのシミュレーションにおける構成ブロック図である。

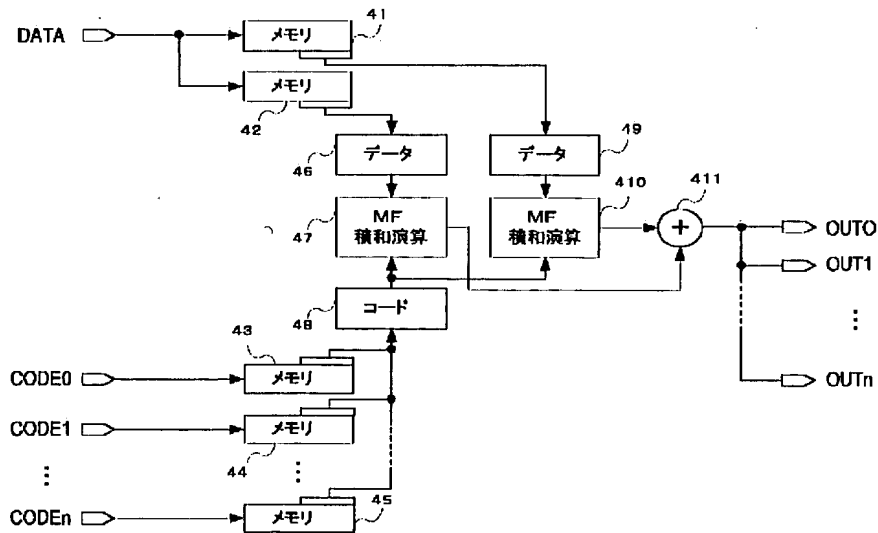
【図 10】従来のメモリ時間変換方式MFのシミュレーション結果を示す図である。

【符号の説明】

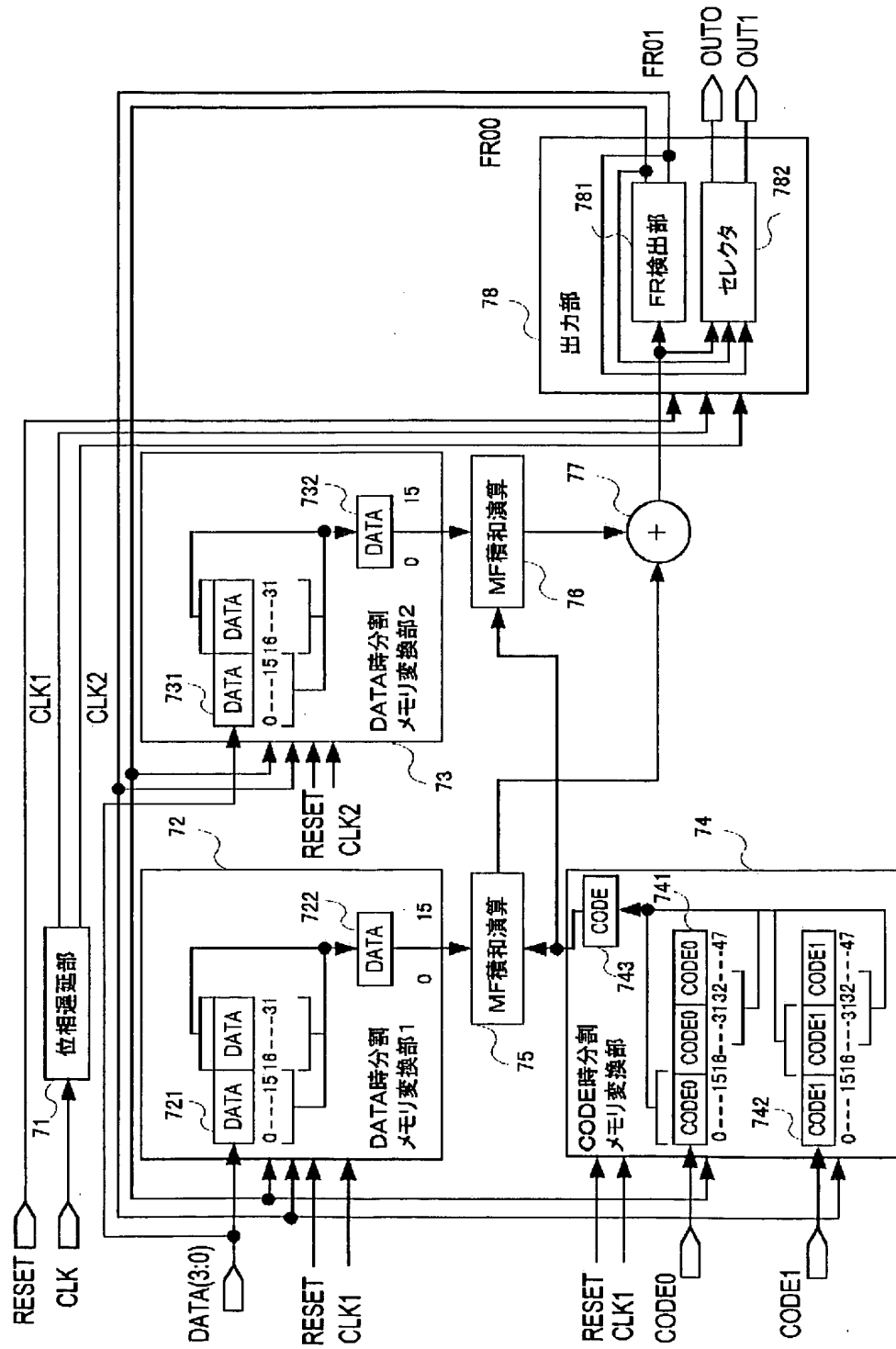
11…無線部、 12…ベースバンド部、 121…A/D変換部、 122…マッチドフィルタ部、 123…RAKE合成部、 124…誤り訂正部、 125…音声符号化/複合化部、 126…CPU部、 21, 22, 23…入力信号保持部、 24, 25, 26…拡散符号保持部、 27, 28, 29…マッチドフィルタ部、 31, 35…入力信号保持部、 32, 33, 34, 37…拡散符号保持部、 36…マッチドフィルタ部、 41, 42, 46, 49…入力信号保持部、 43, 44, 45, 48…拡散符号保持部、 47, 410…マッチドフィルタ部、 411…加算部、 51…分周部、 52…DATA保持部、 521…入力信

号保持部、 53…CODE保持部、 531, 532, 533…拡散符号保持部、 54…マッチドフィルタ部、 55…出力部、 551…フラグ検出部、 552…同期部、 56…DATA保持部、 561…入力信号保持部、 57…CODE保持部、 571, 572…拡散符号保持部、 58…マッチドフィルタ部、 59…出力部、 591…フラグ検出部、 592…同期部、 61…分周部、 62…DATA時分割メモリ変換部、 621, 622…入力信号保持部、 63…CODE時分割メモリ変換部、 631, 632, 633…拡散符号保持部、 64…マッチドフィルタ部、 65…出力部、 651…フラグ検出部、 652…復調出力セクタ部、 71…クロック位相遅延部、 72, 73…DATA時分割メモリ変換部、 721, 722, 731, 732…入力信号保持部、 74…CODE時分割メモリ変換部、 741, 742, 743…拡散符号保持部、 75, 76…マッチドフィルタ部、 77…加算部、 78…出力部、 781…フラグ検出部、 782…復調出力セクタ部

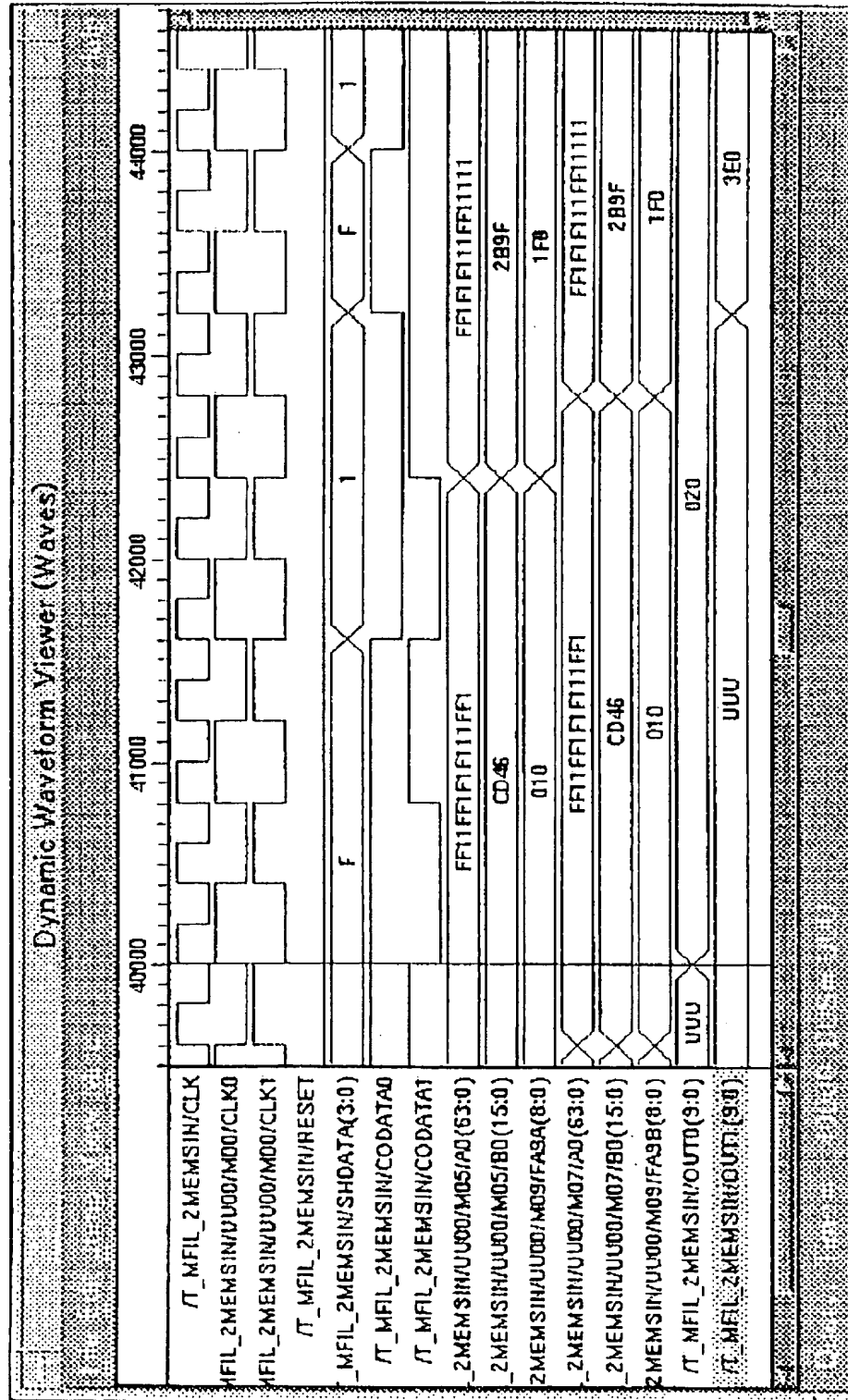
【図 1】



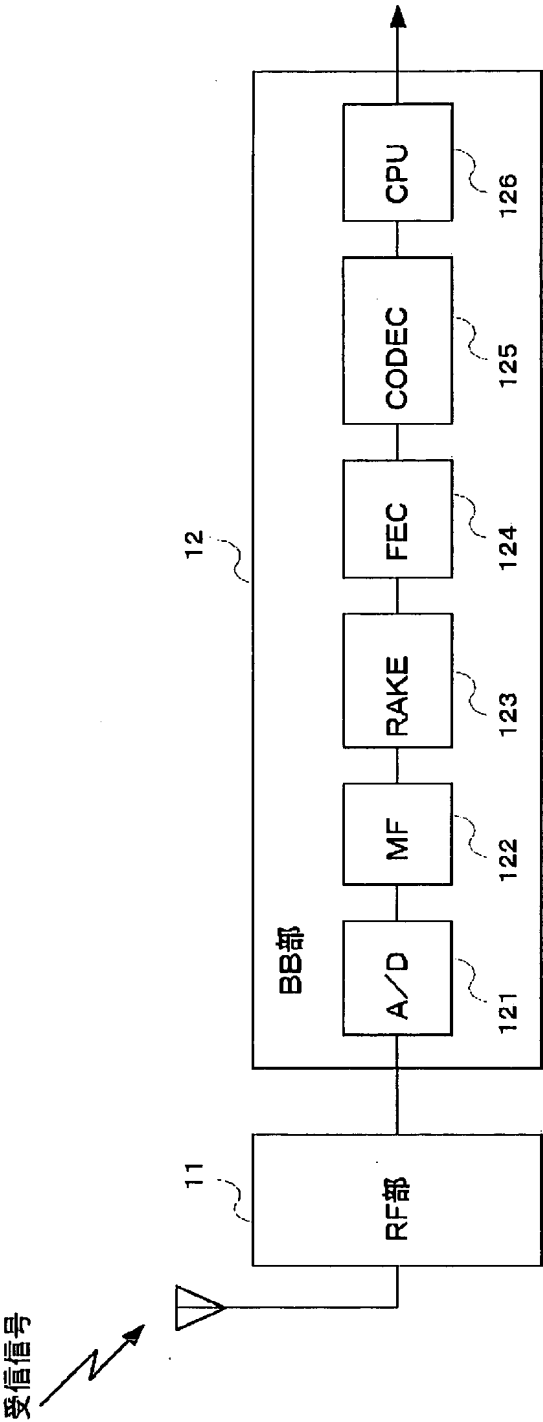
【図 2】



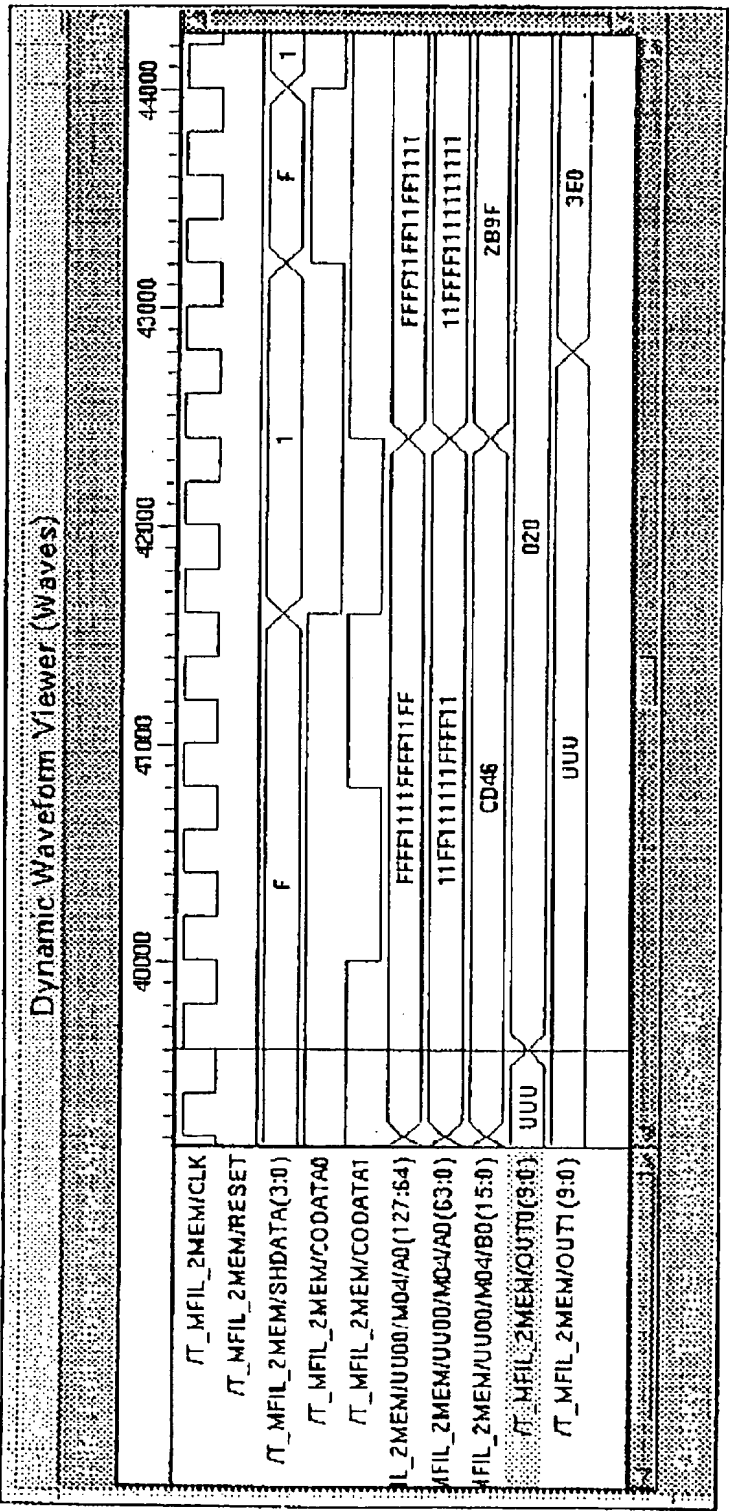
【図 3】



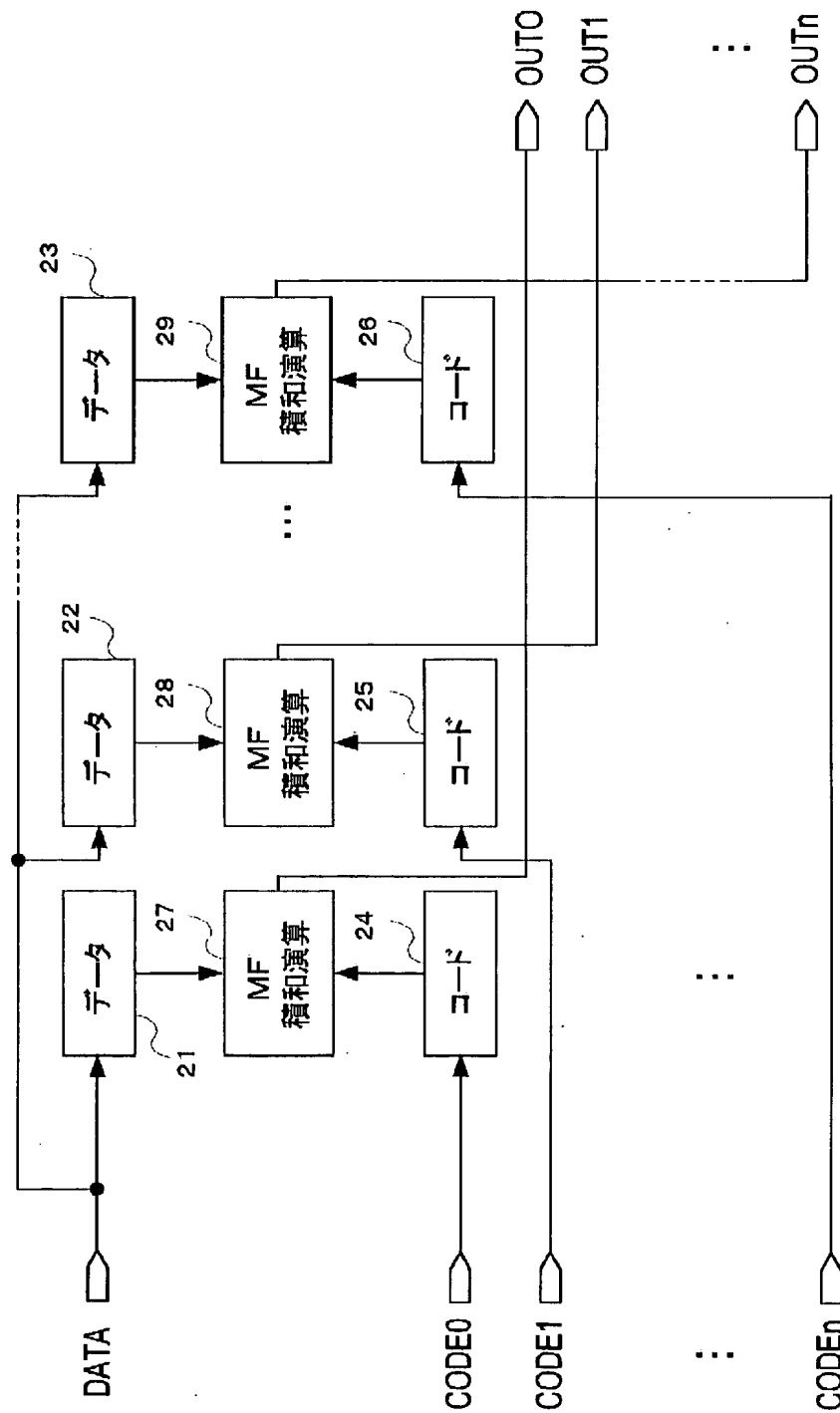
【図 4】



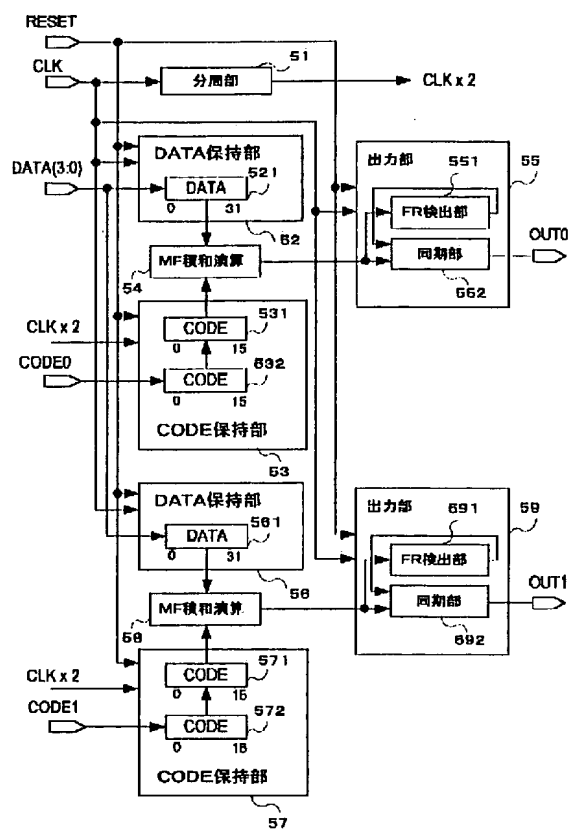
【図 10】



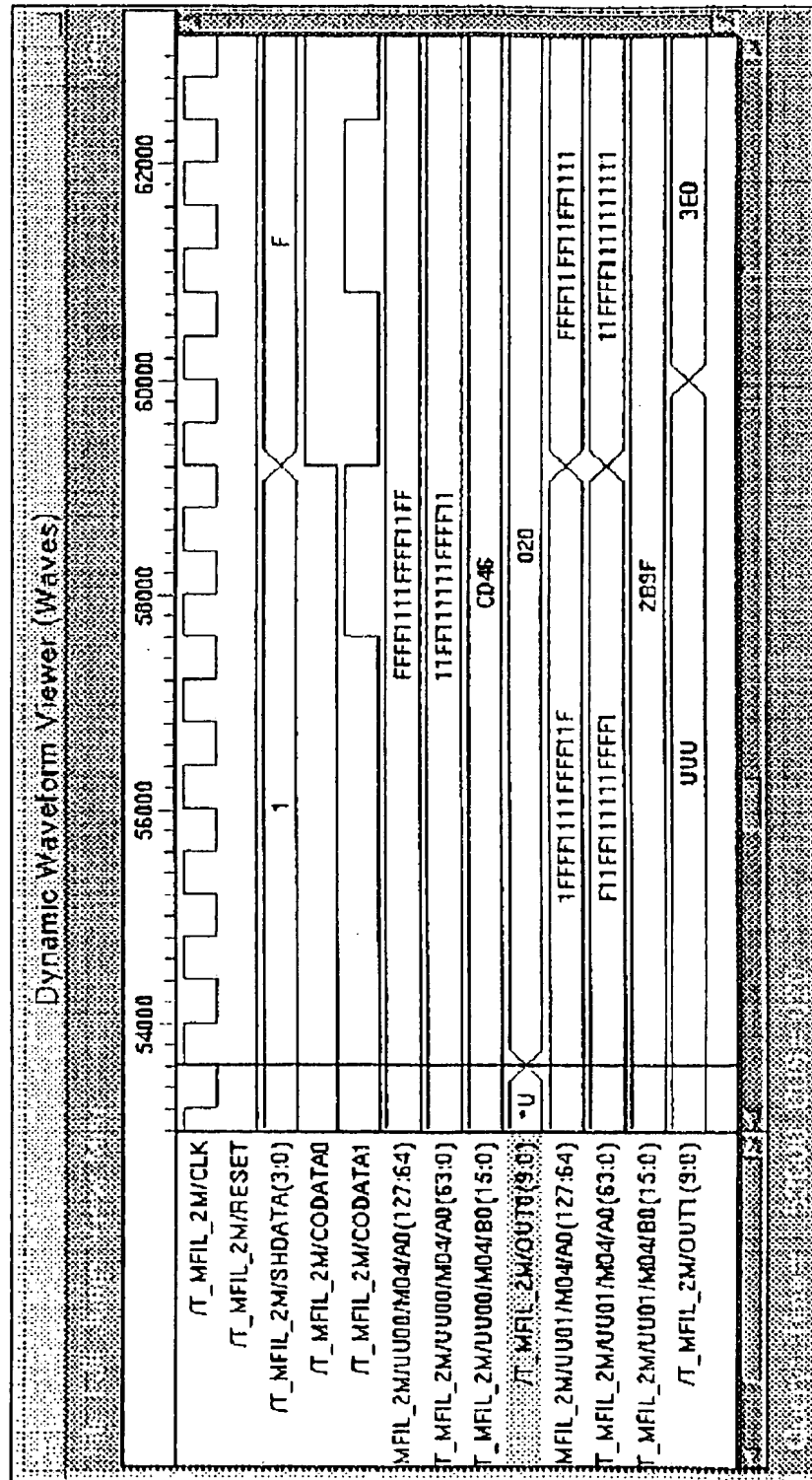
【図 5】



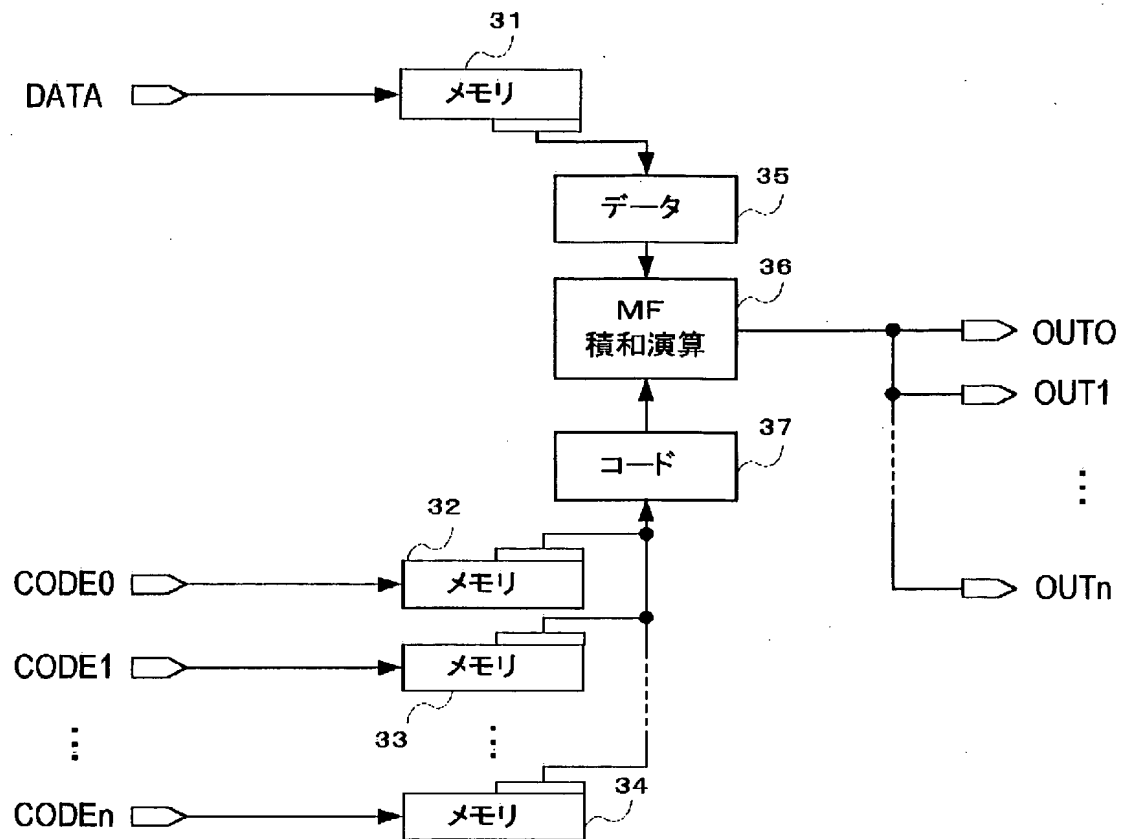
【図 6】



【図 7】



【図 8】



【図9】

